

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-200831

(43)Date of publication of application : 18.07.2000

(51)Int.Cl. H01L 21/762
H01L 21/31
H01L 21/316
H01L 21/76

(21)Application number : 10-377123

(71)Applicant : NEC CORP

(22)Date of filing : 30.12.1998

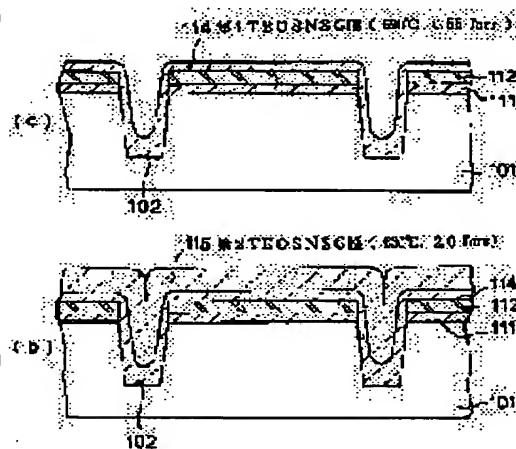
(72)Inventor : ABE JUNICHIRO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the manufacturing method of a semiconductor device having an STI(shallow groove buried element isolation) structure, which can generate no void when an insulating film is buried in grooves formed in a semiconductor substrate, and prevent the characteristics of an element, which is formed on the substrate, from being deteriorated.

SOLUTION: The manufacture wherein grooves 102 are formed in the surface of a semiconductor substrate 101 and an insulating film formed by decomposing TEOS gas is buried in the grooves 102 to form an STI structure is conducted. In this case, an insulating film filling process comprises a first growth process for growing a first tetraethoxysilane undoped silicate glass(TEOSNSG) film 114 formed by being subjected to vapor thermal decomposition the TEOS gas and a second growth process for growing a second TEOSNSG film 115 formed by being subjected to surface thermal decomposition the TEOS gas on the surface of the substrate 101. With a uniform film, which does not depend upon the surface profile of the substrate 101, formed of the film 114, the aspect ratio of the grooves 102 is relaxed and the interiors of the grooves 102 are filled with the film 115, whereby it becomes possible to bury the insulating film in the grooves at a high efficiency without generating voids.



LEGAL STATUS

[Date of request for examination] 18.03.1999

[Date of sending the examiner's decision of rejection] 26.02.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-200831

(P 2000-200831A)

(43)公開日 平成12年7月18日(2000.7.18)

(51)Int.Cl. 7

識別記号

F I

テマコード (参考)

H01L 21/762

H01L 21/76

D 5F032

21/31

21/31

B 5F045

21/316

21/316

X 5F058

21/76

21/76

L

審査請求 有 請求項の数9 F D (全9頁)

(21)出願番号

特願平10-377123

(22)出願日

平成10年12月30日(1998.12.30)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 安部 潤一郎

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100081433

弁理士 鈴木 章夫

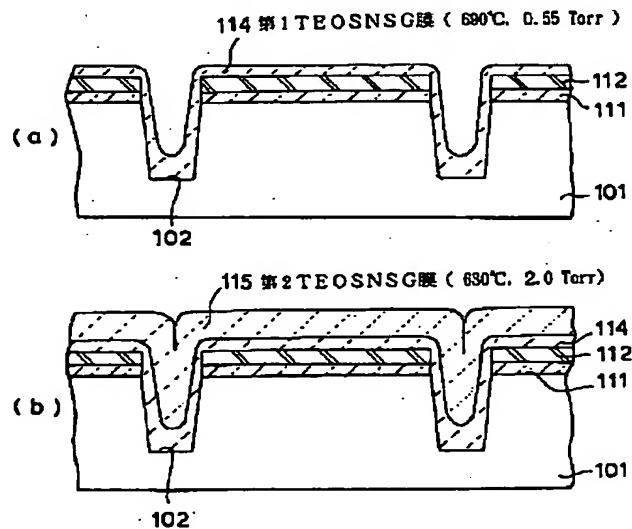
最終頁に続く

(54)【発明の名称】半導体装置の製造方法

(57)【要約】

【課題】 半導体基板に形成した溝内へ絶縁膜を埋め込むボイドが発生せず、かつ半導体基板に形成する素子の特性劣化を防止することが可能なSTI構造の半導体装置の製造方法を提供する。

【解決手段】 半導体基板101の表面に溝102を形成し、その溝内にTEOSガスを分解して生成される絶縁膜を埋め込んでSTI構造を形成する製造方法において、絶縁膜の埋め込み工程として、TEOSガスを気相熱分解した第1のTEOSNSG膜114を成長する第1の成長工程と、TEOSガスを半導体基板101の表面で表面熱分解した第2のTEOSNSG膜115を成長する第2の成長工程とを含む。第1のTEOSNSG膜114で半導体基板101の表面状態に依存しない均一な膜を形成するとともに溝102のアスペクト比を緩和し、第2のTEOSNSG膜115で溝102内を埋め込むことで、ボイドが生じることなく高効率で絶縁膜を埋め込むことが可能となる。



【特許請求の範囲】

【請求項1】 半導体基板の表面に溝を形成する工程と、前記溝内にTEOS（テトラエトキシシラン）ガスを分解して生成される絶縁膜を埋め込む工程とを含む半導体装置の製造方法において、前記絶縁膜の埋め込み工程は、前記TEOSガスを気相熱分解した第1の絶縁膜を前記半導体基板上に成長する第1の成長工程と、前記TEOSガスを前記半導体基板の表面で表面熱分解した第2の絶縁膜を前記半導体基板上に成長する第2の成長工程とで構成されることを特徴とする半導体装置の製造方法。

【請求項2】 前記第1の成長工程は、前記TEOSガスを気相熱分解温度以上の雰囲気で行い、前記第2の成長工程は前記TEOSガスを前記気相熱分解温度よりも低温の雰囲気で行う請求項1に記載の半導体装置の製造方法。

【請求項3】 前記第1の成長工程を高温低圧気相成長法で行い、前記第2の成長工程を低温高圧気相成長法で行う請求項2に記載の半導体装置の製造方法。

【請求項4】 前記気相熱分解温度は、650℃～750℃である請求項2又は3に記載の半導体装置の製造方法。

【請求項5】 前記第1の成長工程は、650℃以上の温度範囲で気相熱分解成長を行い、前記第2の成長工程は580℃以上650℃未満の温度範囲で表面熱分解成長を行う請求項4に記載の半導体装置の製造方法。

【請求項6】 前記溝は、前記半導体基板に形成される半導体装置の素子分離領域に形成され、前記溝内に埋め込まれた前記絶縁膜によって溝型素子分離構造を形成する請求項1ないし5のいずれかに記載の半導体装置の製造方法。

【請求項7】 前記溝は、アスペクト比（溝深さ／溝幅）が1.5～3である請求項6に記載の半導体装置の製造方法。

【請求項8】 前記溝の深さは略0.3μm、溝幅は略0.2μmであり、前記第1の絶縁膜は0.01～0.05μmの膜厚に形成し、前記第2の絶縁膜は前記溝を完全に埋め込む膜厚に形成する請求項7に記載の半導体装置の製造方法。

【請求項9】 半導体基板にシリコン酸化膜、シリコン窒化膜を順次形成し、かつその上にレジストを形成する工程と、前記レジストをパターニングして素子分離領域に開口窓を開く工程と、前記レジストの開口窓を通して前記シリコン窒化膜及びシリコン酸化膜をエッチング除去する工程と、前記レジストを除去した後、前記シリコン窒化膜をマスクにして前記半導体基板に溝を形成する工程と、TEOSガスを高温低圧条件で気相熱分解し、得られる第1のTEOSNSG（NSG：ノンドープシリケートガラス）膜を前記半導体基板の表面に薄く成長する第1の成長工程と、前記TEOSガスを低温高

圧条件で前記半導体基板の表面で表面熱分解して得られる第2のTEOSNSG膜を前記溝の深さよりも厚い膜厚となるように前記第1のTEOSNSG膜の表面上に成長する第2の成長工程と、前記シリコン基板の表面上の前記第2及び第1のTEOSNSG膜を化学機械的に研磨して除去し、前記溝内にのみ前記第1及び第2のTEOSNSG膜を残す工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体基板に形成した溝に絶縁膜を埋め込んで素子分離を行う溝埋込素子分離型半導体装置に関し、特に半導体装置の高集積化に伴う浅くかつ微小幅の素子分離用溝内への絶縁膜の埋め込みを好適に行う方法に関するものである。

【0002】

【従来の技術】 半導体装置の高集積化及び半導体素子の微細化に伴い、半導体基板に形成される素子間を絶縁分離するための素子分離構造として、従来のLOCOS型素子分離構造から、半導体基板に溝を形成し、この溝内に絶縁膜を埋め込む溝型素子分離構造が採用されている。特に、近年では、素子のさらなる微細化がはかられており、この微細化に伴って溝型素子分離構造においても、その溝幅の縮小とともに溝深さが低減されている。例えば、溝幅が0.2μmで溝深さが0.3μm程度の浅溝埋込素子分離（STI：Shallow Trench Isolation）構造の実用化が図られている。このような浅溝埋込素子構造の製造方法を、図7を参照して説明する。

【0003】 先ず、図7（a）のように、シリコン基板101の表面に熱酸化によりシリコン酸化膜111を形成し、さらにその上にシリコン窒化膜112を形成し、その上にフォトリソ膜113を形成する。そして、素子分離領域の前記フォトリソ膜を選択的に除去して開口窓113aを開く。次いで、前記フォトリソ膜をマスクにして前記シリコン窒化膜112及びシリコン酸化膜111をエッチングしてそれぞれ開口窓112a、111aを開く。そして、前記フォトリソ膜113を除去した後、図7（b）のように、前記シリコン窒化膜112をマスクとして前記シリコン基板101の表面を所要の深さにまでエッチングし、微細かつ浅い素子分離用の溝102を形成する。次いで、図7

（c）のように、低圧気相成長法（LPCVD法）によってTEOS（テトラエトキシシラン）を分解して得られるシリコン酸化膜（以下、TEOSNSG膜と称する（NSG：ノンドープシリケートガラス））131を前記シリコン基板101の表面上に成長し、このTEOSNSG膜131によって前記溝102を埋め込む。前記TEOSNSG膜131は、膜の前駆体の表面移動（表面マイグレーション）が大きく、比較的良好なステップカバレッジが得られるため、溝102内に埋め込む場合

には有効である。しかる上で、図 7 (d) のように、化学機械研磨法 (CMP 法) によって前記 TEOSNSG 膜 131 及びシリコン窒化膜 112 の一部をエッチング研磨して除去、さらに残されたシリコン窒化膜 112 とシリコン酸化膜 111 をエッチング除去する。これにより、前記 TEOSNSG 膜 131 は前記溝 102 内のみ埋め込まれた状態で残され、STI 構造が形成される。

【0004】ところで、このような STI 構造の製造において、素子の微細化に伴って溝 102 の幅寸法が低減され、かつこれに伴い溝 102 のアスペクト比 (深さ/溝幅) が増大されると、図 7 (c), (d) に破線で示すように、埋め込まれた TEOSNSG 膜中にボイド (空隙) 132 が発生してしまう。このようなボイドが発生すると、後工程での処理液等がボイド 132 内に侵入して半導体装置の汚染原因となり、あるいは素子分離特性が劣化される。このようなボイドの発生を防止するために、例えば特開平 10-178000 号公報では、TEOS ガスとオゾンガスとの混合化を行ってシリコン酸化膜を成長する際に、TEOS ガスとオゾンガスの供給位置を離しておき、反応室の気相中での TEOS ガスとオゾンガスとの混合化を抑制し、基板の表面上で TEOS ガスとオゾンガスとを混合化を促進させることで、TEOS 膜のフロー特性を高くでき、溝内へのシリコン酸化膜の充填性を改善し、ボイドの発生を抑制している。

【0005】

【発明が解決しようとする課題】この公報に記載の技術では、TEOS ガスとオゾンガスとを混合化してシリコン酸化膜を成長する場合には有効であるが、図 7 に示した製造方法のように、TEOS ガスを分解して得られる TEOSNSG 膜をシリコン基板上に成長する場合には、オゾンガスが存在していないために公報の技術をそのまま適用することはできない。また、公報に記載の技術では、TEOS ガスとオゾンガスとを基板の表面、すなわち溝の内面において混合化しているため、半導体装置の微細化に伴って溝のアスペクト比が大きくなると、TEOS ガスとオゾンガスとを混合化させることなく両ガスを溝内にまで進入させることが困難であり、そのため溝の開口近傍で混合化が発生し、結果として気相中の混合化と同様にフロー特性の低いシリコン酸化膜が形成されてしまい、ボイドを有効に防止することが難しいものとなる。

【0006】本発明の目的は、溝内へ埋め込むシリコン酸化膜におけるボイドの発生を有効に防止するとともに、半導体基板に形成する素子の特性劣化を防止することが可能な STI 構造の半導体装置の製造方法を提供することにある。

【0007】

【課題を解決するための手段】本発明は、半導体基板の

表面に溝を形成する工程と、前記溝内に TEOS ガスを分解して生成される絶縁膜を埋め込む工程とを含む半導体装置の製造方法において、前記絶縁膜の埋め込み工程は、前記 TEOS ガスを気相熱分解した第 1 の絶縁膜を前記半導体基板上に成長する第 1 の成長工程と、前記 TEOS ガスを前記半導体基板の表面で表面熱分解した第 2 の絶縁膜を前記半導体基板上に成長する第 2 の成長工程とで構成されることを特徴としている。ここで、前記第 1 の成長工程は、前記 TEOS ガスを気相熱分解温度以上の雰囲気で行い、前記第 2 の成長工程は前記 TEOS ガスを前記気相熱分解温度よりも低温の雰囲気で行う。すなわち、前記第 1 の成長工程を高温低圧気相成長法で行い、前記第 2 の成長工程を低温高圧気相成長法で行う。ここで、前記気相熱分解温度は 650℃~750℃であり、この場合には、前記第 1 の成長工程は、650℃以上の温度範囲で気相熱分解成長を行い、前記第 2 の成長工程は 580℃以上 650℃未満の温度範囲で表面熱成長を行う。

【0008】また、本発明の製造方法において、前記溝は、前記半導体基板に形成される半導体装置の素子分離領域に形成され、前記溝内に埋め込まれた前記絶縁膜によって溝型素子分離構造を形成するものとして構成される。この場合、前記溝は、アスペクト比 (溝深さ/溝幅) が 1.5~3 であることが好ましい。例えば、前記溝の深さは略 0.3 μm、溝幅は略 0.2 μm であり、前記第 1 の絶縁膜は 0.01~0.05 μm の膜厚に形成し、前記第 2 の絶縁膜は前記溝を完全に埋め込む膜厚に形成する。

【0009】

【発明の実施の形態】次に、本発明の実施形態を図面を参照して説明する。図 1 を参照すると、本発明者が TEOS ガスを CVD 装置内において分解してシリコン基板 101 の溝 102 内にシリコン酸化膜 103 を埋め込む際に、その CVD 条件を変化させて成長を行った。すなわち、TEOS ガスを CVD 装置内において分解する場合に、CVD 条件を、TEOS ガスの気相熱分解温度よりも高い温度でかつ低圧で成長を行った。ここでは、CVD 装置の温度を 690℃、圧力を 0.55 Torr とした。このように高温での CVD を行くと、CVD 装置内で TEOS ガスは気相熱分解してシリコン基板上に成長する。このため、シリコン基板の表面状態の影響が少ない状態での成長、すなわち下地依存性の低い状態で TEOSNSG 膜が成長される。この条件で、シリコン基板 101 に形成した溝にシリコン酸化膜の埋め込みを行ったところ、図 1 (a) に示すように、シリコン基板 101 の表面に均一に TEOSNSG 膜 103 が成長したが、溝 102 のアスペクト比が高くなると、溝 102 の開口部の対向縁部に成長した TEOSNSG 膜 103 が相互に接触してしまい、溝 102 内にボイド 104 が発生した状態となる。

【0010】一方、CVD条件を、TEOSガスの気相熱分解温度よりも低い温度でかつ高压で成長を行った。ここでは、CVD装置の温度を630℃、圧力を2.0 Torrとした。このように低温でのCVDを行うと、CVD装置内でTEOSガスはシリコン基板の表面に接触した際に表面熱分解してシリコン基板上に成長する。このため、シリコン基板の表面状態の影響が大きい状態での成長、すなわち下地依存性の高い状態でTEOS NSG膜が成長される。この条件で、シリコン基板101に形成した溝102にシリコン酸化膜の埋め込みを行ったところ、図1(b)に示すように、溝102のアスペクト比が高くなった場合でも、TEOSガスが溝の内面に接触したときにTEOS NSG膜103が成長されるため、溝102内にボイドが発生することなく好適な埋め込みが可能となる。

【0011】しかしながら、この条件では下地依存性が高いため、図1(c)に示すように、ウェハ状のシリコン基板101Wのように広い面積のシリコン基板に対して前記条件でのTEOS NSG膜の成長を行った場合には、シリコン基板の表面に存在する異物X等によって、その領域でのTEOS NSG膜103の成長が抑制されたスポット状の膜厚むら105が生じ、シリコン基板101Wの全面に均一な厚さのTEOS NSG膜103を成長することができないことが確認された。これは、TEOS NSG膜の成長初期には、成長の進行が進まないいわゆるインキュベーションタイムが発生する。このインキュベーションタイム中に原子核が形成されるが、下地の表面状態の微妙な違いによりインキュベーションタイムが非常に不安定になり、これがウェハ状シリコン基板101Wの表面上での局所的な膜厚の違いとなって現れるものと考えられる。このような、TEOS NSG膜の膜厚が不均一になると、後工程のCMP法でのエッチング研磨において、膜厚の薄い領域においてシリコン基板の表面が過度にエッチング研磨されることになり、その領域に後工程で形成する半導体素子の特性の劣化、あるいは半導体素子の不良が発生する要因となる。

【0012】そこで、本発明においては、溝内に埋め込む絶縁膜の第1の成長工程として、TEOSガスがCVD装置の気相中において気相熱分解する条件、すなわち下地依存性の低い成長条件でシリコン基板上にTEOS NSG膜をある程度の膜厚まで成長し、次いで、第2の成長工程として、その上にTEOSガスが基板の表面に接したことにより表面熱分解する条件、すなわち下地依存性の高い条件でTEOS NSG膜を重畳して成長する。このように本発明では、溝内に埋め込む絶縁膜の第1の成長工程では、下地依存性が低いために、ウェハ状シリコン基板の表面一部に異物が存在する等して、表面状態が異なる部位が存在していたとしても、その影響を受けることなくウェハ状シリコン基板の全面に均一な膜厚が成長される。また、このときのTEOS NSG膜の

成長膜厚を適正に制御することで、溝内においてはボイドが発生されることがない状態で成長され、溝のアスペクト比を緩和する。また、ウェハ状シリコン基板の異物が存在する部分では異物を覆い隠す状態に成長される。ただし、この第1の成長工程では膜成長速度が低く抑えられるため、この第1の成長工程のみでは膜成長のスループットが低くなる。

【0013】そして、第2の成長工程では、下地依存性が高いために、シリコン基板の表面上に均一にTEOS NSG膜が成長され、その際には既に溝内には第1の成長工程のTEOS NSG膜がある程度の膜厚で成長されているため、溝のアスペクト比が緩和された状態にあり、溝内にボイドが発生することなく溝内へのTEOS NSG膜の埋め込みが可能となる。その一方でウェハ状シリコン基板の表面には第1の成長工程で成長されたTEOS NSG膜が存在しており、このTEOS NSG膜によって異物の影響が緩和されているため、シリコン基板の全面に均一な厚さにTEOS NSG膜が成長される。これにより、溝内でのボイドの発生を防止するとともに、シリコン基板の全面に均一にTEOS NSG膜の成長が可能となる。そのため、その後のCMP工程においても、シリコン基板の表面が部分的に過度にエッチング研磨されることがなく、半導体素子の特性劣化や不良発生が防止される。また、第2の成長工程では膜成長速度を高くすることが可能であり、膜成長のスループットが向上できる。

【0014】ここで、TEOSガスが気相熱分解する温度は、一般的には650℃～750℃の範囲であり、第1の工程は650℃以上の温度で行い、第2の工程は650℃よりも低温で行う。また、第1の工程及び第2の工程における各圧力の上限は、TEOS NSG膜の膜質を劣化させることがない圧力であり、また、各圧力の下限はTEOS NSG膜の成長速度が極端に低下されることがない圧力である。

【0015】図2ないし図4は本発明をMOS型半導体装置に適用した実施形態を工程順に示す断面図である。まず、図2(a)のように、シリコン基板101の表面を熱処理してシリコン酸化膜111を形成する。さらに、その上にシリコン窒化膜112を形成し、その上にフォトレジスト膜113を塗布形成する。そして、図外のフォトリソグラフィ技術により素子分離領域のフォトレジスト膜113を選択的に除去し、素子分離領域に沿った開口窓113aを開く。そして、図2(b)のように、前記フォトレジスト膜113をマスクにして前記シリコン窒化膜112及びシリコン酸化膜111をエッチングし、開口窓112a、111aを開くを形成する。次いで、図2(c)のように、前記フォトレジスト膜113を除去した後、前記シリコン窒化膜112をマスクにして前記シリコン基板101を選択エッチングし、素子分離溝102を形成す

る。この素子分離溝102は、溝幅が $0.18\mu\text{m}\sim 0.2\mu\text{m}$ とし、深さは $0.3\mu\text{m}$ 程度とする。なお、この溝102の寸法では、アスペクト比は略1.5となる。

【0016】しかる上で、図3(a)のように、前記シリコン基板101をTEOSガスが供給されるCVD装置にセットする。図6はCVD装置の一例であり、ウェハホルダ202に整列保持された複数枚のシリコンウェハ101Wを封止状態で収納する縦型炉201と、前記縦型炉の周囲に配置されるヒータ203と、前記縦型炉201内にTEOSガスを供給するガス供給口204とを備えている。そして、前記CVD装置において、温度が 690°C 、圧力が 0.22Torr の条件でTEOSガスを気相中で気相熱分解させながらシリコン基板101に第1のTEOSNSG膜114を成長する第1の成長工程を行う。この第1の成長工程では、前記したように第1のTEOSNSG膜の下地依存性が低いために、シリコン基板101の表面に異物が存在する等して表面一部にその表面状態が異なる部位が存在していたとしても、その影響を受けることなくシリコン基板101の全面に均一な膜厚が成長される。また、このときの第1のTEOSNSG膜114の膜厚を適正に制御することで、溝102内においてはボイドが発生されることがない状態に成長され、シリコン基板101上の異物が存在する部分では異物を覆い隠す状態に成長される。ここでは、第1のTEOSNSG膜114の膜厚は、 $100\text{\AA}\sim 500\text{\AA}$ の厚さに形成する。この膜厚はシリコン基板101の表面に存在する異物の状態によって調整されるが、一般的には 200\AA 程度の膜厚にすれば、溝102内において溝開口部でのTEOSNSG膜の相互の接触によるボイドが発生することなく溝内に成長され、かつ溝102のアスペクト比を緩和するとともに、シリコン基板101上の異物を覆い隠してその表面状態を均一化するのに十分である。

【0017】次いで、図3(b)のように、前記CVD装置の条件設定を変化し、温度を 630°C 、圧力を 2.0Torr とし、第2のTEOSNSG膜115を成長する第2の成長工程を行う。この条件では、TEOSガスは気相中では分解せず、シリコン基板101の表面に接触した状態で表面熱分解が進行され、第2のTEOSNSG膜115が成長される。この第2の成長工程では、溝102は第1のTEOSNSG膜114によってアスペクト比が緩和されているため、溝102内にボイドが発生することなく溝102内への第2のTEOSNSG膜115の埋め込みが可能となる。また、一方で第2のTEOSNSG膜115は下地依存性が高いが、シリコン基板101の表面には第1のTEOSNSG膜114が存在しており、この第1のTEOSNSG膜114によって異物の影響が無くされるため、シリコン基板101の全面に均一な厚さに第2のTEOSNSG膜1

15が成長される。これにより、溝102内でのボイドの発生を防止するとともに、シリコン基板101の全面に均一に第2のTEOSNSG膜115の成長が可能となる。ここで、前記第2のTEOSNSG膜115の膜厚は、溝102内を第2のTEOSNSG膜115で埋め込むに必要な厚さであり、ここでは $0.2\mu\text{m}$ 程度である。また、この第2のTEOSNSG膜115の膜成長速度は第1のTEOSNSG膜114の成長速度よりも高いため、膜成長のスループットが向上される。

【0018】次いで、図4(a)のように、前記TEOSNSG膜115、114の表面に対してCMP研磨を行う。このCMP研磨は、前記シリコン窒化膜112の一部残される状態まで行う。このCMP研磨により、シリコン基板101上の第2及び第1のTEOSNSG膜115、114は除去され、これらのTEOSNSG膜115、114は溝102内のみ埋め込まれた状態で残される。また、このとき、TEOSNSG膜115、114はシリコン基板101の全面にわたって均一な膜厚に形成されていたため、CMP研磨によっても、シリコン基板101の表面上のシリコン窒化膜112やシリコン酸化膜111が局部的に過度にエッチング研磨されることがなく、平坦性が保持される。次いで、図4

(b)のように、必要に応じて弗酸等によってTEOSNSG膜115、114の表面をシリコン酸化膜111の表面よりも低い状態となるようにエッチングした上で、前記シリコン基板101上のシリコン窒化膜112をエッチングにより除去し、続いてシリコン酸化膜111をエッチングにより除去する。これにより、図4

(c)のように、素子形成領域ではシリコン基板101の表面が露呈され、素子分離領域のTEOSNSG膜114、115との表面が略平坦化されたSTI構造が形成される。

【0019】しかる上で、図5を参照すると、前記シリコン基板101の表面上にシリコン酸化膜と多結晶シリコン膜を順次形成し、かつフォトリソグラフィ技術により選択的にエッチングしてゲート絶縁膜121とゲート電極122を形成する。次いで、素子形成領域に不純物をイオン注入してソース・ドレイン領域123を形成した後、全面にシリコン酸化膜124、BPSG膜125等からなる積層構造の層間絶縁膜を形成し、この層間絶縁膜にコンタクトホール126を開口し、かつソース・ドレインの各電極127を形成してMOSトランジスタを形成する。

【0020】このように、本発明においては、シリコン基板101に形成した溝102内に埋め込む第1のTEOSNSG膜114の成長条件を高温低圧とすることで、TEOSガスがCVD装置の気相中において気相熱分解し、下地依存性の低い絶縁膜として溝102内を含むシリコン基板101上に均一に形成される。そして、その上に形成する第2のTEOSNSG膜115の成長

条件を低温高圧とすることで、TEOSガスがシリコン基板101の表面に接したことにより表面熱分解し、下地依存性の高い絶縁膜として溝102内を含むシリコン基板101上、すなわち第1のTEOSNSG膜114上に形成される。このため、第1のTEOSNSG膜114の低い下地依存性によって、シリコン基板101の表面に異物等が存在していても、その影響を受けることなくシリコン基板101の全面に均一な膜厚が成長される。そして、その上の第2のTEOSNSG膜115は、高い下地依存性によってシリコン基板101の表面上に高い成長速度で均一に成長され、その際には、既に溝102内には第1TEOSNSG膜114がある程度の膜厚に形成されて溝102のアスペクト比が緩和（低下）されているため、溝102内にボイドが発生することなく溝内への第2のTEOSNSG膜115の埋め込みが可能となる。これにより、溝102内でのボイドの発生を防止するとともに、シリコン基板101の全面に均一にTEOSNSG膜114、115の成長が可能となる。そのため、その後のCMP工程においても、シリコン基板101の表面が部分的に過度にエッチング研磨

【0021】ここで、第1の成長工程及び第2の成長工程のそれぞれの成長温度と圧力は、前記した温度条件を満たす範囲内で任意に設定できるが、前記したように、TEOSNSG膜の膜質を劣化させることがないように、かつTEOSNSG膜の成長速度が極端に低下されてスループットが低下されないように、それぞれ適切な温度と圧力に設定することが好ましい。また、前記実施形態におけるそれぞれの値、例えば、溝の寸法及びアスペクト比、第1及び第2のTEOSNSG膜の膜厚等は一例を示したものであり、製造する半導体装置の集積度や素子サイズ等によって異なる値のものとして形成可能であることは言うまでもない。特に、第1のTEOSNSG膜は第2のTEOSNSG膜に比較して膜の成長速度が低いため、第1のTEOSNSG膜の膜厚を必要以上に厚く形成することは、スループットの面で好ましくない。したがって、溝の寸法及びアスペクト比との関係に基づき、第2のTEOSNSG膜を成長する際にボイドが発生することがない膜厚の範囲で極力薄い膜厚に設定することが好ましい。

【0022】

【発明の効果】以上説明したように本発明は、半導体基板に形成された溝内に絶縁膜を埋め込むための工程として、TEOSガスを気相熱分解した第1の絶縁膜を成長する第1の成長工程と、TEOSガスを半導体基板の表

面で表面熱分解した第2の絶縁膜を成長する第2の成長工程を含んでいるので、第1の絶縁膜が有する低い下地依存性によって半導体基板の表面の影響を受けることなく溝内及び半導体基板の全面に均一な膜厚が成長でき、かつこの第1の絶縁膜によって溝のアスペクト比が緩和され、また第2の絶縁膜が有する高い下地依存性によって半導体基板の表面上に高い成長速度での膜成長が可能となり、しかもアスペクト比の緩和によって溝内にボイドを生じることなく絶縁膜を埋め込むことが可能となる。これにより、ボイドの発生がなく素子分離特性に優れたSTI構造の半導体装置の製造が実現できるとともに、その後の製造工程においても、半導体基板の表面が部分的に過度にエッチング研磨されることがなく、特性が優れた歩留りのよい半導体装置の製造が実現できる。

【図面の簡単な説明】

【図1】本発明の基本構成を説明するための図である。

【図2】本発明の実施形態の製造工程断面図のその一である。

【図3】本発明の実施形態の製造工程断面図のその二である。

【図4】本発明の実施形態の製造工程断面図のその三である。

【図5】本発明の実施形態の製造工程断面図のその四である。

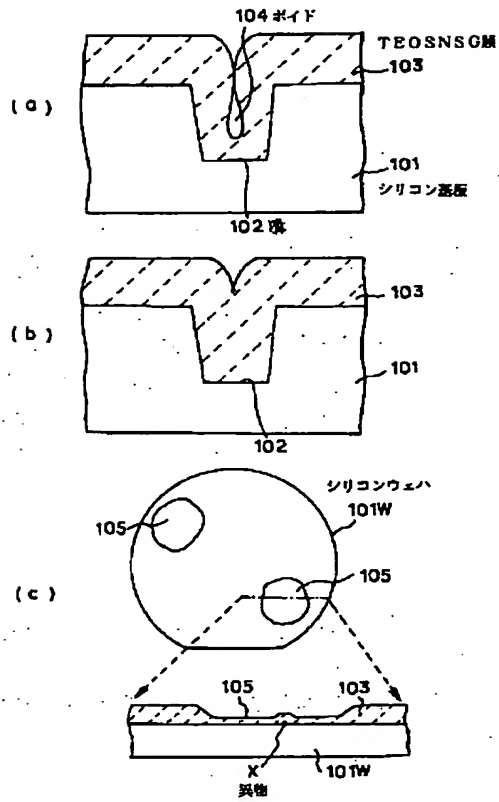
【図6】本発明で実施形態で使用するCVD装置の概略構成図である。

【図7】従来の製造方法の一例を示す工程断面図である。

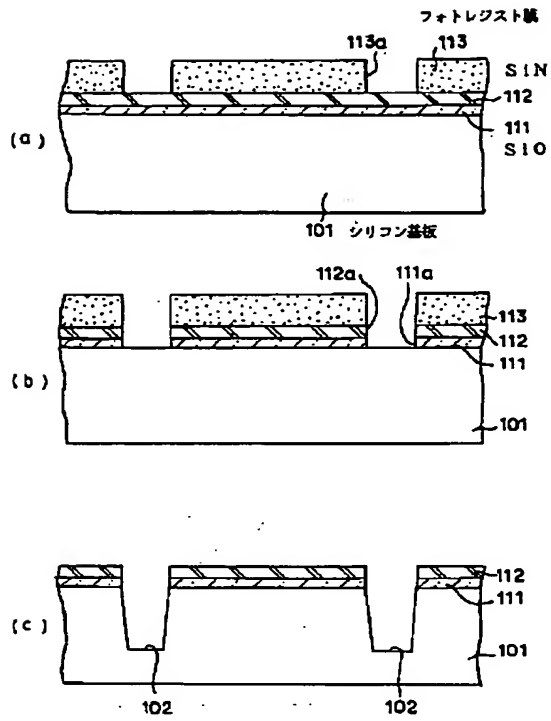
【符号の説明】

- 101 シリコン基板
- 102 溝（素子分離溝）
- 111 シリコン酸化膜
- 112 シリコン窒化膜
- 113 フォトリソグ膜
- 114 第1のTEOSNSG膜
- 115 第2のTEOSNSG膜
- 121 ゲート絶縁膜
- 122 ゲート電極
- 123 ソース・ドレイン領域
- 124 シリコン酸化膜
- 125 BPSG膜
- 126 ソース・ドレイン電極
- 201 縦型炉
- 203 ヒータ
- 204 ガス供給口

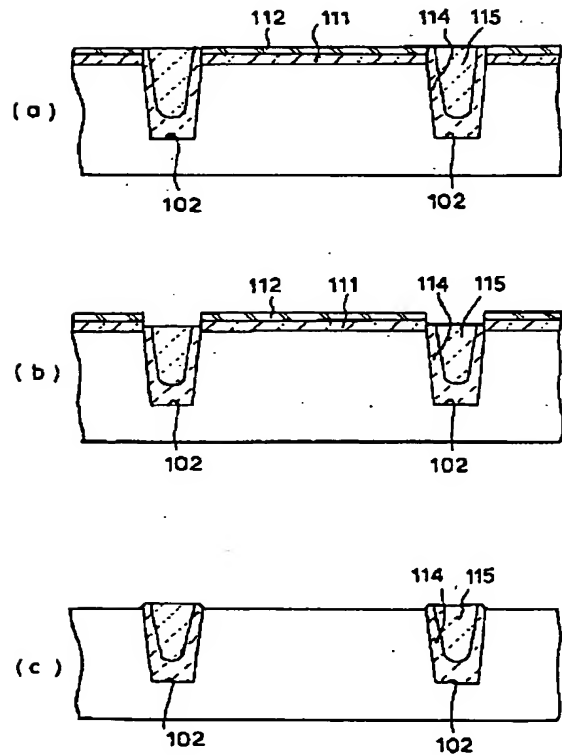
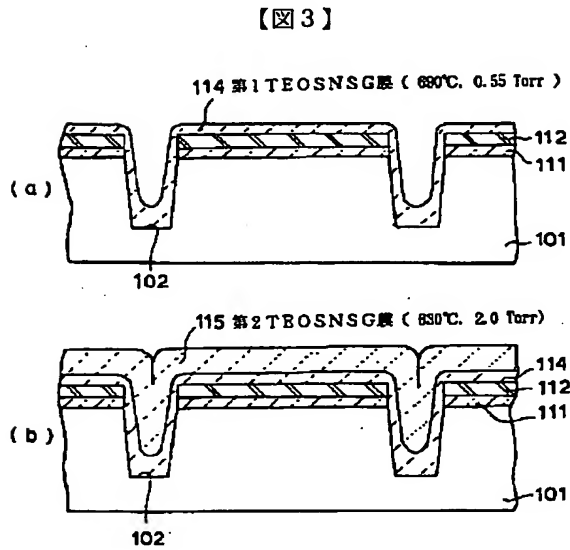
【図1】



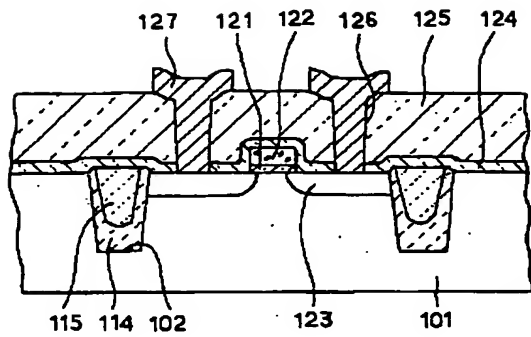
【図2】



【図4】

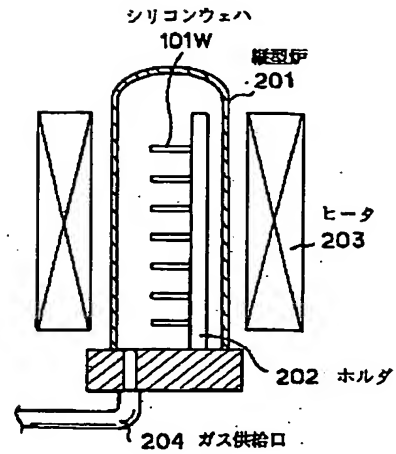


【図5】

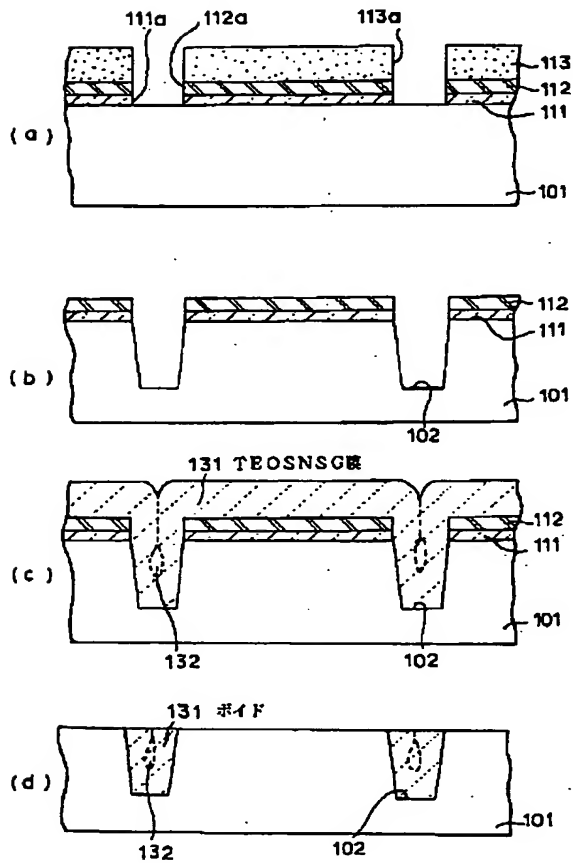


101: シリコン基板
 102: 第一TEOSNSG膜
 114: 第二TEOSNSG膜
 115: 第三TEOSNSG膜
 121: ゲート絶縁膜
 122: ソース・ドレイン領域
 123: シリコン酸化膜
 124: BPSG膜
 125: コンタクトホール
 126: ソース・ドレイン電極
 127:

【図6】



【図7】



フロントページの続き

Fターム(参考) 5F032 AA34 AA44 AA70 CA17 DA02
DA33 DA53 DA78
5F045 AA03 AA06 AB31 AB32 AB33
AC07 AD09 AD10 AD11 AE19
AE21 AF03 CA05 GH10
5F058 BA20 BD01 BD07 BF02 BF04
BF27 BJ06